

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B1)

(11) 特許番号

特許第6180691号
(P6180691)

(45) 発行日 平成29年8月16日 (2017. 8. 16)

(24) 登録日 平成29年7月28日 (2017. 7. 28)

(51) Int. Cl.

F I

H O 4 N 5/378 (2011. 01)

H O 4 N 5/378

A 6 1 B 1/04 (2006. 01)

A 6 1 B 1/04 5 3 0

G O 2 B 23/24 (2006. 01)

G O 2 B 23/24 B

H O 1 L 27/146 (2006. 01)

H O 1 L 27/146 A

H O 4 N 7/18 (2006. 01)

H O 1 L 27/146 D

請求項の数 5 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2017-518562 (P2017-518562)
 (86) (22) 出願日 平成28年9月15日 (2016. 9. 15)
 (86) 国際出願番号 PCT/JP2016/077293
 審査請求日 平成29年4月6日 (2017. 4. 6)
 (31) 優先権主張番号 特願2015-233554 (P2015-233554)
 (32) 優先日 平成27年11月30日 (2015. 11. 30)
 (33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000000376
 オリンパス株式会社
 東京都八王子市石川町2951番地
 (74) 代理人 110002147
 特許業務法人酒井国際特許事務所
 (72) 発明者 足立 理
 東京都八王子市石川町2951番地 オリ
 ンパス株式会社内

審査官 鈴木 明

最終頁に続く

(54) 【発明の名称】 撮像素子、内視鏡および内視鏡システム

(57) 【特許請求の範囲】

【請求項 1】

二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号をそれぞれ生成する複数の画素を有する受光部と、

前記受光部の受光面における裏面に配置されてなり、前記撮像信号をそれぞれ転送する複数の第1の転送線と、

前記複数の第1の転送線それぞれに設けられ、前記画素から前記撮像信号を前記第1の転送線に出力させる定電流源と、

各々が前記複数の第1の転送線のいずれかと対をなして容量を形成し、前記第1の転送線が出力する前記撮像信号をそれぞれ転送する複数の第2の転送線と、

前記複数の第2の転送線が転送する前記撮像信号を読み出す読み出し部と、

前記画素に前記撮像信号を出力させたまま前記読み出し部を動作させる制御部と、

対をなす第1および第2の転送線の間に介在する誘電体と、

少なくとも前記受光部、前記複数の第1の転送線および前記定電流源それぞれを実装してなる第1チップと、

少なくとも前記複数の第2の転送線を実装してなる第2チップと、

を備え、

前記第1チップは、前記受光面の裏面に、前記第2チップを積層してなり、

前記複数の第2の転送線それぞれは、前記複数の第1の転送線のいずれかと向かい合う位置に前記誘電体を挟んで配置されてなることを特徴とする撮像素子。

10

20

【請求項 2】

前記対をなす第 1 および第 2 の転送線によってそれぞれ形成される容量は、互いに略等しいことを特徴とする請求項 1 に記載の撮像素子。

【請求項 3】

前記第 1 および第 2 の転送線は、メタル配線であり、

前記対をなす第 1 および第 2 の転送線間の容量は、それぞれの転送線を構成するメタル配線間に前記誘電体を配置して形成されることを特徴とする請求項 1 に記載の撮像素子。

【請求項 4】

請求項 1 に記載の撮像素子を、被検体内に挿入可能な挿入部の先端側に備えたことを特徴とする内視鏡。

10

【請求項 5】

請求項 4 に記載の内視鏡と、

前記撮像信号を画像信号に変換する画像処理装置と、

を備えることを特徴とする内視鏡システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、被写体を撮像して該被写体の画像データを生成する撮像素子、内視鏡および内視鏡システムに関する。

【背景技術】

20

【0002】

近年、CMOS (Complementary Metal Oxide Semiconductor) 撮像素子では、光電変換部を有する画素チップと、この画素チップの周辺回路をなすコントロール部および信号処理部をそれぞれ構成する周辺回路チップとを積層することによって、チップ面積を低減する技術が知られている (特許文献 1 参照)。このような積層したチップ間を電氣的に接続する手段として、貫通接続導体 (TSV: Through-Silicon Via) を用いる技術が知られている (特許文献 2 参照)。

【先行技術文献】

【特許文献】

【0003】

30

【特許文献 1】特開平 5 - 268535 号公報

【特許文献 2】特開 2015 - 156516 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、画素数が比較的少ない小型の撮像素子では、画素面積に対する周辺回路面積やチップ間を電氣的に接続するための部分の面積の比率が大きくなり、チップ積層による小型化の妨げとなっていた。

【0005】

本発明は、上記に鑑みてなされたものであって、さらなる小型化を実現することができる撮像素子、内視鏡および内視鏡システムを提供することを目的とする。

40

【課題を解決するための手段】

【0006】

上述した課題を解決し、目的を達成するために、本発明に係る撮像素子は、二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号をそれぞれ生成する複数の画素を有する受光部と、前記受光部の受光面における裏面に配置されてなり、前記撮像信号をそれぞれ転送する複数の第 1 の転送線と、前記複数の第 1 の転送線それぞれに設けられ、前記画素から前記撮像信号を前記第 1 の転送線に出力させる定電流源と、各々が前記複数の第 1 の転送線のいずれかと対をなして容量を形成し、前記第 1 の転送線が出力する前記撮像信号をそれぞれ転送する複数の第 2 の転送線と、前記複数の第 2 の転送線

50

が転送する前記撮像信号を読み出す読み出し部と、前記画素に前記撮像信号を出力させたまま前記読み出し部を動作させる制御部と、を備えたことを特徴とする。

【0007】

また、本発明に係る撮像素子は、上記発明において、対をなす第1および第2の転送線によってそれぞれ形成される容量は、互いに略等しいことを特徴とする。

【0008】

また、本発明に係る撮像素子は、上記発明において、前記対をなす第1および第2の転送線の間に介在する誘電体をさらに備えたことを特徴とする。

【0009】

また、本発明に係る撮像素子は、上記発明において、前記対をなす第1および第2の転送線の間に介在する誘電体をさらに備え、前記第1および第2の転送線は、メタル配線であり、前記対をなす第1および第2の転送線間の容量は、それぞれの転送線を構成するメタル配線間に前記誘電体を配置して形成されることを特徴とする。

【0010】

また、本発明に係る撮像素子は、上記発明において少なくとも前記受光部、前記複数の第1の転送線および前記定電流源それぞれを実装してなる第1チップと、少なくとも前記複数の第2の転送線を実装してなる第2チップと、をさらに備え、前記第1チップは、前記受光面の裏面に、前記第2チップを積層してなり、前記複数の第2の転送線それぞれは、前記複数の第1の転送線のいずれかと向かい合う位置に前記誘電体を挟んで配置されてなることを特徴とする。

【0011】

また、本発明に係る内視鏡は、上記の撮像素子を、被検体内に挿入可能な挿入部の先端側に備えたことを特徴とする。

【0012】

また、本発明に係る内視鏡システムは、上記の内視鏡と、前記撮像信号を画像信号に変換する画像処理装置と、を備えることを特徴とする。

【発明の効果】

【0013】

本発明によれば、さらなる小型化を実現することができるという効果を奏する。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の実施の形態1に係る内視鏡システムの全体構成を模式的に示す概略図である。

【図2】図2は、本発明の実施の形態1に係る内視鏡システムの要部の機能を示すブロック図である。

【図3】図3は、図2に示す撮像部の詳細な構成を示すブロック図である。

【図4】図4は、本発明の実施の形態1に係る第1チップの受光部の断面構造を示す図である。

【図5】図5は、本発明の実施の形態1に係る第1チップの容量の断面構造を示す図である。

【図6】図6は、本発明の実施の形態1に係る撮像部の動作タイミングを示すタイミングチャートである。

【図7】図7は、本発明の実施の形態1の変形例に係る撮像部の詳細な構成を示すブロック図である。

【図8】図8は、本発明の実施の形態2に係る撮像部の詳細な構成を示すブロック図である。

【図9】図9は、本発明の実施の形態3に係る内視鏡システムの要部の機能を示すブロック図である。

【図10】図10は、図9に示す撮像部の詳細な構成を示すブロック図である。

【図11】図11は、本発明の実施の形態3に係る撮像部の断面構造を示す図である。

【図 1 2】図 1 2 は、本発明の実施の形態 3 の変形例に係る撮像部の断面構造を示す図である。

【発明を実施するための形態】

【0015】

以下、本発明を実施するための形態（以下、「実施の形態」という）として、被検体内に先端が挿入される内視鏡を備えた内視鏡システムについて説明する。また、この実施の形態により、本発明が限定されるものではない。さらに、図面の記載において、同一の部分には同一の符号を付して説明する。さらにまた、図面は、模式的なものであり、各部材の厚みと幅との関係、各部材の比率等は、現実と異なることに留意する必要がある。また、図面の相互間において、互いの寸法や比率が異なる部分が含まれている。

10

【0016】

（実施の形態 1）

〔内視鏡システムの構成〕

図 1 は、本発明の実施の形態 1 に係る内視鏡システムの全体構成を模式的に示す概略図である。図 1 に示す内視鏡システム 1 は、内視鏡 2（内視鏡スコープ）と、伝送ケーブル 3 と、コネクタ部 5 と、プロセッサ 6（処理装置）と、表示装置 7 と、光源装置 8 と、を備える。

【0017】

内視鏡 2 は、伝送ケーブル 3 の一部である挿入部 100 を被検体の体腔内に挿入することによって被検体の体内を撮像して撮像信号（画像データ）をプロセッサ 6 へ出力する。また、内視鏡 2 は、伝送ケーブル 3 の一端側であり、被検体の体腔内に挿入される挿入部 100 の先端 101 側に、体内画像の撮像を行う撮像部 20（撮像素子）が設けられており、挿入部 100 の基端 102 側に、内視鏡 2 に対する各種操作を受け付ける操作部 4 が設けられている。撮像部 20 が撮像した画像の撮像信号は、例えば、数 m の長さを有する伝送ケーブル 3 を通り、コネクタ部 5 に出力される。

20

【0018】

伝送ケーブル 3 は、内視鏡 2 とコネクタ部 5 とを接続するとともに、内視鏡 2 とプロセッサ 6 および光源装置 8 とを接続する。また、伝送ケーブル 3 は、撮像部 20 が生成した撮像信号をコネクタ部 5 へ伝搬する。伝送ケーブル 3 は、ケーブルや光ファイバ等を用いて構成される。

30

【0019】

コネクタ部 5 は、内視鏡 2、プロセッサ 6 および光源装置 8 に接続され、接続された内視鏡 2 が出力する撮像信号に所定の信号処理を施すとともに、アナログの撮像信号をデジタルの撮像信号に変換（A/D 変換）してプロセッサ 6 へ出力する。

【0020】

プロセッサ 6 は、コネクタ部 5 から入力される撮像信号に所定の画像処理を施して表示装置 7 へ出力する。また、プロセッサ 6 は、内視鏡システム 1 全体を統括的に制御する。例えば、プロセッサ 6 は、光源装置 8 が出射する照明光を切り替えたり、内視鏡 2 の撮像モードを切り替えたりする制御を行う。

【0021】

表示装置 7 は、プロセッサ 6 が画像処理を施した撮像信号に対応する画像を表示する。また、表示装置 7 は、内視鏡システム 1 に関する各種情報を表示する。表示装置 7 は、液晶や有機 EL（Electro Luminescence）等の表示パネル等を用いて構成される。

40

【0022】

光源装置 8 は、コネクタ部 5 および伝送ケーブル 3 を経由して内視鏡 2 の挿入部 100 の先端 101 側から被検体（被写体）へ向けて照明光を照射する。光源装置 8 は、白色光を発する白色 LED（Light Emitting Diode）等を用いて構成される。光源装置 8 は、プロセッサ 6 の制御のもと、内視鏡 2 を介して照明光を被検体に向けて照射する。なお、本実施の形態 1 では、光源装置 8 は、同時方式の照明方式が採用されるが、面順次方式の照明方式であってもよい。

50

【 0 0 2 3 】

図 2 は、内視鏡システム 1 の要部の機能を示すブロック図である。図 2 を参照して、内視鏡システム 1 の各部構成の詳細および内視鏡システム 1 内の電気信号の経路について説明する。

【 0 0 2 4 】

〔内視鏡の構成〕

まず、内視鏡 2 の構成について説明する。図 2 に示す内視鏡 2 は、撮像部 2 0（撮像素子）と、伝送ケーブル 3 と、コネクタ部 5 と、を備える。

【 0 0 2 5 】

撮像部 2 0 は、第 1 チップ 2 1 と、第 2 チップ 2 2 と、を有する。また、撮像部 2 0 は、伝送ケーブル 3 を介して後述するコネクタ部 5 の電源電圧生成部 5 5 によって生成された電源電圧 V D D をグラウンド G N D とともに受け取る。撮像部 2 0 に供給される電源電圧 V D D とグラウンド G N D との間には、電源安定用の容量 C 1 が設けられている。

10

【 0 0 2 6 】

第 1 チップ 2 1 は、二次元マトリクス状に配置されてなり、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の単位画素 2 3 0 が配置されてなる受光部 2 3 と、受光部 2 3 における複数の単位画素 2 3 0 の各々で光電変換された撮像信号を読み出す読み出し部 2 4 と、を有する。なお、第 1 チップ 2 1 のより詳細な構成については後述する。

【 0 0 2 7 】

20

第 2 チップ 2 2 は、コネクタ部 5 から入力される基準クロック信号および同期信号に基づきタイミング信号を生成して読み出し部 2 4 に出力するタイミング生成部 2 5 と、読み出し部 2 4 から出力される撮像信号を増幅して伝送ケーブル 3 へ出力する送信部 2 7 と、を有する。なお、第 1 チップ 2 1 と第 2 チップ 2 2 に配置される回路の組み合わせは適宜変更可能である。例えば、第 2 チップ 2 2 に配置されたタイミング生成部 2 5 を第 1 チップ 2 1 に配置してもよい。また、第 2 チップ 2 2 のより詳細な構成については後述する。

【 0 0 2 8 】

コネクタ部 5 は、受信部 5 1 と、A / D 変換部 5 2 と、撮像信号処理部 5 3 と、パルス生成部 5 4 と、電源電圧生成部 5 5 と、を有する。

【 0 0 2 9 】

30

受信部 5 1 は、撮像部 2 0 から出力される撮像信号を受信し、抵抗等の受動素子を用いてインピーダンスマッチングを行った後、コンデンサを用いて交流成分を取り出し、分圧抵抗によって動作点を決定する。その後、受信部 5 1 は、撮像信号（アナログ信号）を補正して A / D 変換部 5 2 へ出力する。受信部 5 1 は、例えばアナログ・フロント・エンド回路等を用いて構成される。

【 0 0 3 0 】

A / D 変換部 5 2 は、受信部 5 1 から入力されたアナログの撮像信号をデジタルの撮像信号に変換して撮像信号処理部 5 3 へ出力する。

【 0 0 3 1 】

40

撮像信号処理部 5 3 は、例えば F P G A（Field Programmable Gate Array）により構成される。撮像信号処理部 5 3 は、A / D 変換部 5 2 から入力されるデジタルの撮像信号に対して、ノイズ除去およびフォーマット変換処理等の処理を行ってプロセッサ 6 へ出力する。

【 0 0 3 2 】

パルス生成部 5 4 は、プロセッサ 6 から供給され、内視鏡 2 の各構成部の動作の基準となる基準クロック信号（例えば、2 7 M H z のクロック信号）に基づいて、各フレームのスタート位置を表す同期信号を生成して、基準クロック信号とともに、伝送ケーブル 3 を介して撮像部 2 0 のタイミング生成部 2 5 へ出力する。ここで、パルス生成部 5 4 が生成する同期信号は、水平同期信号と垂直同期信号とを含む。

【 0 0 3 3 】

50

電源電圧生成部 55 は、プロセッサ 6 から供給される電源から、第 1 チップ 21 と第 2 チップ 22 を駆動するのに必要な電源電圧を生成して第 1 チップ 21 および第 2 チップ 22 へ出力する。電源電圧生成部 55 は、レギュレーターなどを用いて第 1 チップ 21 と第 2 チップ 22 を駆動するのに必要な電源電圧を生成する。

【0034】

〔プロセッサの構成〕

次に、プロセッサ 6 の構成について説明する。

プロセッサ 6 は、内視鏡システム 1 の全体を統括的に制御する制御装置である。プロセッサ 6 は、電源部 61 と、画像信号処理部 62 と、クロック生成部 63 と、記録部 64 と、入力部 65 と、プロセッサ制御部 66 と、を備える。

10

【0035】

電源部 61 は、電源電圧を生成し、この生成した電源電圧をグランド (GND) とともに、コネクタ部 5 の電源電圧生成部 55 へ供給する。

【0036】

画像信号処理部 62 は、撮像信号処理部 53 で信号処理が施されたデジタルの撮像信号に対して、同時化处理、ホワイトバランス (WB) 調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ (D/A) 変換処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置 7 へ出力する。

【0037】

クロック生成部 63 は、内視鏡システム 1 の各構成部の動作の基準となる基準クロック信号を生成し、この基準クロック信号をパルス生成部 54 へ出力する。

20

【0038】

記録部 64 は、内視鏡システム 1 に関する各種情報や処理中のデータ等を記録する。記録部 64 は、Flash メモリや RAM (Random Access Memory) の記録媒体を用いて構成される。

【0039】

入力部 65 は、内視鏡システム 1 に関する各種操作の入力を受け付ける。例えば、入力部 65 は、光源装置 8 が出射する照明光の種別を切り替える指示信号の入力を受け付ける。入力部 65 は、例えば十字スイッチやプッシュボタン等を用いて構成される。

【0040】

30

プロセッサ制御部 66 は、内視鏡システム 1 を構成する各部を統括的に制御する。プロセッサ制御部 66 は、CPU (Central Processing Unit) 等を用いて構成される。プロセッサ制御部 66 は、入力部 65 から入力された指示信号に応じて、内視鏡システム 1 を制御する。

【0041】

〔撮像部の詳細な構成〕

次に、上述した撮像部 20 における第 1 チップ 21 および第 2 チップ 22 の詳細な構成について説明する。図 3 は、図 2 に示す撮像部 20 の詳細な構成を示すブロック図である。

【0042】

40

〔第 1 チップの詳細な構成〕

まず、第 1 チップ 21 の詳細な構成について説明する。

図 3 に示すように、第 1 チップ 21 は、二次元マトリクス状に配置される複数の単位画素 230 と、複数の第 1 の転送線 237 と、複数の第 1 の転送線 237 の各々に設けられた定電流源 238 と、複数の第 2 の転送線 239 と、垂直走査部 241 と、クランプ部 242 と、出力スイッチ 243 と、水平走査部 244 と、第 3 の転送線 246 (水平転送線) と、水平リセット部 247 と、を有する。

【0043】

各単位画素 230 は、光電変換素子 231 (フォトダイオード)、転送トランジスタ 232 (第 1 の転送部) と、電荷電圧変換部 233 と、電荷電圧変換部リセット部 234 (

50

トランジスタ)と、画素ソースフォロアトランジスタ235と、画素出力スイッチ236(信号出力部)と、を有する。

【0044】

光電変換素子231は、入射光をその光量に応じた信号電荷量に光電変換して蓄積する。光電変換素子231は、カソード側がそれぞれ転送トランジスタ232の一端側に接続され、アノード側がグランドGNDに接続される。

【0045】

転送トランジスタ232は、光電変換素子231から電荷電圧変換部233に電荷を転送する。転送トランジスタ232は、一端側に光電変換素子231が接続され、他端側に電荷電圧変換部233が接続され、ゲートに駆動パルス $\phi T < M >$ が供給される信号線が接続される。転送トランジスタ232は、後述する垂直走査部241から信号線を介して駆動パルス $\phi T < M >$ が供給されると、オン状態となり、光電変換素子231から電荷電圧変換部233に信号電荷を転送する。

【0046】

電荷電圧変換部233は、浮遊拡散容量(FD)からなり、光電変換素子231において蓄積された電荷を電圧に変換する。

【0047】

電荷電圧変換部リセット部234は、電荷電圧変換部233を所定電位にリセットする。電荷電圧変換部リセット部234は、一端側が電源電圧VDDに接続され、他端側が電荷電圧変換部233に接続され、ゲートには駆動パルス $\phi R < M >$ が供給される信号線が接続される。電荷電圧変換部リセット部234は、後述する垂直走査部241から信号線を介して駆動パルス $\phi R < M >$ が供給されると、オン状態となり、電荷電圧変換部233に蓄積された信号電荷を放出させ、電荷電圧変換部233を所定電位にリセットする。

【0048】

画素ソースフォロアトランジスタ235は、一端側が電源電圧VDDに接続され、他端側が画素出力スイッチ236に接続され、ゲートには電荷電圧変換部233において電荷電圧変換された信号(撮像信号またはリセット時の信号)が入力される。

【0049】

画素出力スイッチ236は、電荷電圧変換部233において電荷電圧変換された信号を、後述する第1の転送線237(第1の垂直転送線)に出力する。画素出力スイッチ236は、一端側が画素ソースフォロアトランジスタ235に接続され、他端側が第1の転送線237に接続され、ゲートには行選択パルス $\phi X < M >$ が供給される信号線が接続される。画素出力スイッチ236は、後述する垂直走査部241から信号線を介して行選択パルス $\phi X < M >$ が供給されると、オン状態となり、撮像信号またはリセット時の信号(ノイズ信号)を第1の転送線237に転送する。

【0050】

第1の転送線237は、受光面の裏面に配置され、複数の単位画素230から出力された撮像信号を転送する。第1の転送線237は、メタル配線によって構成される。なお、メタルとしては、例えばCuやAl等によって形成される。

【0051】

定電流源238は、一端側がグランドGNDに接続され、他端側が第1の転送線237に接続される。定電流源238は、複数の第1の転送線237の各々に設けられ、複数の単位画素230の各々から撮像信号を第1の転送線237へ出力させる。

【0052】

第2の転送線239は、各々が複数の第1の転送線237のいずれかと対をなして容量C10を形成し、第1の転送線237が出力する撮像信号をそれぞれ転送する。複数対の第1の転送線237および第2の転送線239によってそれぞれ形成される容量C10は、互いに略等しい。ここで、略等しいとは、製造ばらつきによる誤差を許容できる範囲である。第2の転送線239は、メタル配線によって構成される。なお、メタルとしては、例えばCuやAl等によって形成される。

10

20

30

40

50

【 0 0 5 3 】

垂直走査部 2 4 1 は、タイミング生成部 2 5 から入力される V 制御信号 (ϕX 、 ϕR および ϕT 等) に基づいて、受光部 2 3 の選択された行 $\langle M \rangle$ ($M = 1, 2, \dots, m$) に、行選択パルス $\phi X \langle M \rangle$ 、駆動パルス $\phi R \langle M \rangle$ および駆動パルス $\phi T \langle M \rangle$ の各々を供給することによって、定電流源 2 3 8 で駆動された単位画素 2 3 0 から撮像信号および画素リセット時のノイズ信号を第 1 の転送線 2 3 7 および第 2 の転送線 2 3 9 に転送する。

【 0 0 5 4 】

クランプ部 2 4 2 は、第 1 の転送線 2 3 7 および第 2 の転送線 2 3 9 から転送された単位画素 2 3 0 のリセット時の信号 (ノイズ信号) レベルを基準電圧 V_{REF} にクランプして出力スイッチ 2 4 3 へ出力する。

10

【 0 0 5 5 】

出力スイッチ 2 4 3 は、一端側が第 2 の転送線 2 3 9 に接続され、他端側が第 3 の転送線 2 4 6 に接続され、ゲートには、水平走査部 2 4 4 から列選択パルス $\phi H \langle N \rangle$ が入力される。出力スイッチ 2 4 3 は、ゲートに列選択パルス $\phi H \langle N \rangle$ が供給されると、オン状態となり、クランプ部 2 4 2 にクランプされた電圧と第 2 の転送線 2 3 9 から転送された信号との差を撮像信号として第 3 の転送線 2 4 6 へ転送する。

【 0 0 5 6 】

水平走査部 2 4 4 は、タイミング生成部 2 5 から供給される駆動パルス (ϕH) に基づいて、受光部 2 3 の選択された列 $\langle N \rangle$ ($N = 1, 2, 3, \dots, n$) に列選択パルス $\phi H \langle N \rangle$ を供給する。水平走査部 2 4 4 は、列選択パルス $\phi H \langle N \rangle$ を供給することによって、各单位画素 2 3 0 からの撮像信号を第 3 の転送線 2 4 6 に出力させる。

20

【 0 0 5 7 】

第 3 の転送線 2 4 6 は、各出力スイッチ 2 4 3 から出力された撮像信号を出力部 3 1 へ転送する。

【 0 0 5 8 】

水平リセット部 2 4 7 は、タイミング生成部 2 5 から入力される水平リセットパルス ϕ_{HCLR} に基づいて、第 3 の転送線 2 4 6 をリセットする。水平リセット部 2 4 7 は、一端側が基準電圧 V_{REF} を供給する信号線に接続され、他端側が第 3 の転送線 2 4 6 に接続され、ゲートにはタイミング生成部 2 5 から水平リセットパルス ϕ_{HCLR} が供給される信号線が接続される。なお、本実施の形態 1 では、垂直走査部 2 4 1、クランプ部 2 4 2、出力スイッチ 2 4 3、水平走査部 2 4 4 および第 3 の転送線 2 4 6 が読み出し部 2 4 として機能する。

30

【 0 0 5 9 】

〔第 2 チップの詳細な構成〕

次に、第 2 チップ 2 2 の構成について説明する。

図 3 に示すように、第 2 チップ 2 2 は、タイミング生成部 2 5 と、送信部 2 7 と、出力部 3 1 と、を有する。

【 0 0 6 0 】

タイミング生成部 2 5 は、基準クロック信号および同期信号に基づいて、各種の駆動パルス (V 制御信号、 ϕ_{HCLR} 、 ϕ_{CLP} 、 ϕH) を生成し、後述する垂直走査部 2 4 1、クランプ部 2 4 2 および水平走査部 2 4 4 の各々へ出力する。なお、本実施の形態 1 では、タイミング生成部 2 5 は、単位画素 2 3 0 に撮像信号を出力させたまま水平走査部 2 4 4 を動作させる制御として機能する。

40

【 0 0 6 1 】

送信部 2 7 は、出力部 3 1 を介して第 3 の転送線 2 4 6 から転送された撮像信号を増幅して外部へ送信する。

【 0 0 6 2 】

出力部 3 1 は、差動アンプを用いて構成され、第 3 の転送線 2 4 6 から転送された撮像信号と基準電圧 V_{REF} との差をとることによって、ノイズを除去した撮像信号 (V_{out}) を送信部 2 7 へ出力する。

50

【 0 0 6 3 】

〔 第 1 チップの構造 〕

次に、第 1 チップ 2 1 の構造について説明する。

図 4 は、第 1 チップ 2 1 の受光部 2 3 の断面構造を示す図である。図 4 に示すように、第 1 チップ 2 1 の受光部 2 3 は、光電変換領域部 2 1 1 と、信号転送領域部 2 1 2 と、を有する。

【 0 0 6 4 】

光電変換領域部 2 1 1 は、シリコン基板 2 3 1 a (受光部) における前面側 (光の入射方向) に、オンチップカラーフィルタ 2 3 1 b およびオンチップマイクロレンズ 2 3 1 c の順に積層されてなる。さらに、光電変換領域部 2 1 1 の裏面側に、相関絶縁膜 2 3 1 d が積層され、この相関絶縁膜 2 3 1 d に第 1 の転送線 2 3 7 が形成されてなる。

10

【 0 0 6 5 】

信号転送領域部 2 1 2 は、読み出し部 2 4 の一部として光電変換領域部 2 1 1 の裏面側に積層して形成され、第 2 の転送線 2 3 9、相関絶縁膜 2 3 1 e、画素駆動配線 2 4 1 a、パッシベーション膜 2 3 1 g で構成される。

【 0 0 6 6 】

対をなす第 1 の転送線 2 3 7 および第 2 の転送線 2 3 9 は、図 4 の奥行方向に沿って平行に配置してなる。また、第 2 の転送線 2 3 9 は、各々が複数の第 1 の転送線 2 3 7 のいずれかと対をなして誘電体 5 0 0 (誘電膜) を介して配置されることにより容量 C 1 0 を形成し、第 1 の転送線 2 3 7 が出力する撮像信号をそれぞれ読み出し部 2 4 (不図示) の入力ノードとなる第 2 の転送線 2 3 9 へ転送する。第 2 の転送線 2 3 9 と読み出し部 2 4 は、ピアホール等によって接続される。これにより、従来の列回路面積を占めていた容量を第 1 チップ 2 1 の受光面と直交する方向 (光の入射方向) において、第 1 チップ 2 1 の裏面側に積層することができるので、第 1 チップ 2 1 を含む撮像部 2 0 の面積を縮小することができる。さらに、撮像部 2 0 は、容量形成面と反対側より光が入射することにより、量子効率を向上させることができる。

20

【 0 0 6 7 】

〔 容量の構造 〕

次に、図 4 において説明した容量 C 1 0 の詳細な構造について説明する。

図 5 は、第 1 チップ 2 1 の容量 C 1 0 の断面構造を示す図である。図 5 に示す第 1 チップ 2 1 は、シリコン基板 2 3 1 a に形成された画素出力スイッチ 2 3 6 のソース領域と第 1 の転送線 2 3 7 とを接続するコンタクトホール 2 3 1 f が設けられている。さらに、第 1 チップ 2 1 は、第 1 の転送線 2 3 7 と第 2 の転送線 2 3 9 との間に介在する誘電体 5 0 0 を有する。誘電体 5 0 0 は、例えば SiO_2 、 Si_3N_4 、 Al_2O_3 、 HfO_2 、 ZrO_2 、 TaO_5 、 TiO_2 、 Y_2O_3 および La_2O_3 等を用いて形成される。これにより、対をなす第 1 の転送線 2 3 7 および第 2 の転送線 2 3 9 間の容量 C 1 0 は、それぞれの転送線を構成するメタル配線間に誘電体 5 0 0 を配置して形成されてなる。

30

【 0 0 6 8 】

〔 撮像部の動作 〕

次に、撮像部 2 0 の動作について説明する。

40

図 6 は、撮像部 2 0 の動作タイミングを示すタイミングチャートである。図 6 において、最上段から順に、行選択パルス $\phi X < 1 >$ 、駆動パルス $\phi R < 1 >$ 、駆動パルス $\phi T < 1 >$ 、駆動パルス ϕCLP 、列選択パルス $\phi H < N >$ ($N = 1, 2, 3, \dots, n$)、行選択パルス $\phi X < 2 >$ 、駆動パルス $\phi R < 2 >$ 、駆動パルス $\phi T < 2 >$ 、駆動パルス ϕCLP 、列選択パルス $\phi H < N >$ ($N = 1, 2, 3, \dots, n$) および水平リセットパルス $\phi HCLR$ のタイミングを示す。また、図 6 において、横軸が時間を示す。

【 0 0 6 9 】

図 6 に示すように、まず、タイミング生成部 2 5 は、行選択パルス $\phi X < 1 >$ をオン状態 (High) としたまま、駆動パルス $\phi R < 1 >$ をオン状態とする。これにより、1 行目の電荷電圧変換部リセット部 2 3 4 は、オン状態となり、1 行目の電荷電圧変換部 2 3

50

3に蓄積された信号電荷を放出させ、1行目の電荷電圧変換部233を所定電位にリセットする。

【0070】

続いて、タイミング生成部25は、駆動パルス $\phi R<1>$ をオフ状態(Low)とし、駆動パルス ϕCLP をオン状態とする。これにより、第1の転送線237から転送されたノイズ信号がクランプ部242によって基準電圧VREFにクランプされる。即ち、単位画素230がリセットレベル(ノイズ信号)を出力中に、第2の転送線239を所定電位にリセットすることができる。

【0071】

その後、タイミング生成部25は、駆動パルス ϕCLP をオフ状態(Low)とし、駆動パルス $\phi T<1>$ をオン状態(High)にした後、オフ状態(Low)とする。この場合、1行目の転送トランジスタ232は、ゲートに駆動パルス $\phi T<1>$ が入力されることによって、オン状態となり、光電変換素子231から電荷電圧変換部233に信号電荷(撮像信号)を転送する。

10

【0072】

続いて、タイミング生成部25は、列選択パルス $\phi H<N>$ を列毎にオンオフ状態(HighおよびLow)としつつ、列選択パルス ϕH のオンオフ動作に応じて、水平リセットパルス $\phi HCLR$ を排他的にオンオフ状態(HighおよびLow)とする。この場合において、各列の1行目の画素出力スイッチ236は、列選択パルス $\phi H<N>$ のオンオフ状態に応じて、電荷電圧変換部233によって電荷電圧変換された撮像信号を画素ソースフォロアトランジスタ235から第1の転送線237および第2の転送線239を介して第3の転送線246へ順次出力する。このとき、水平リセット部247は、水平リセットパルス $\phi HCLR$ のオンオフ状態に応じて、第3の転送線246を所定電位(VREF)にリセットする。これにより、撮像信号をサンプリングする容量を有するカラム回路等を第1チップ21内から省略することができるので、撮像部20の小型化を実現することができる。

20

【0073】

その後、タイミング生成部25は、行選択パルス $\phi X<1>$ をオフ状態(Low)とし、行選択パルス $\phi X<2>$ をオン状態(High)とする。

【0074】

30

続いて、タイミング生成部25は、行選択パルス $\phi X<2>$ をオン状態(High)としたまま、駆動パルス $\phi R<2>$ をオン状態とする。これにより、2行目の電荷電圧変換部リセット部234は、オン状態となり、2行目の電荷電圧変換部233に蓄積された信号電荷を放出させ、2行目の電荷電圧変換部233を所定電位にリセットする。

【0075】

続いて、タイミング生成部25は、駆動パルス $\phi R<2>$ をオフ状態(Low)とし、駆動パルス ϕCLP をオン状態とする。これにより、第1の転送線237から転送されたノイズ信号がクランプ部242によって基準電圧VREFにクランプされる。即ち、単位画素230がリセットレベル(ノイズ信号)を出力中に、第2の転送線239を所定電位にリセットすることができる。

40

【0076】

その後、タイミング生成部25は、駆動パルス ϕCLP をオフ状態(Low)とし、駆動パルス $\phi T<2>$ をオン状態(High)とオフ状態(Low)とする。この場合、2行目の転送トランジスタ232は、ゲートに駆動パルス $\phi T<2>$ が入力されることによって、オン状態となり、光電変換素子231から電荷電圧変換部233に信号電荷(撮像信号)を転送する。

【0077】

続いて、タイミング生成部25は、列選択パルス $\phi H<N>$ を列毎にオンオフ状態(HighおよびLow)としつつ、列選択パルス $\phi H<N>$ のオンオフ動作に応じて、水平リセットパルス $\phi HCLR$ を排他的にオンオフ状態(HighおよびLow)とする。こ

50

の場合において、各列の２行目の画素出力スイッチ２３６を介して、画素ソースフォロアトランジスタ２３５は、列選択パルス $\phi_{H<N>}$ のオンオフ状態に応じて、電荷電圧変換部２３３によって電荷電圧変換された撮像信号を第１の転送線２３７および第２の転送線２３９を介して第３の転送線２４６へ順次出力する。このとき、水平リセット部２４７は、水平リセットパルス ϕ_{HCLR} のオンオフ状態に応じて、第３の転送線２４６を所定電位（ V_{REF} ）にリセットする。

【００７８】

以上説明した本発明の実施の形態１によれば、タイミング生成部２５が単位画素２３０に撮像信号を出力させたまま、読み出し部２４を動作させて、撮像信号を送信部２７に出力させる。これにより、撮像信号をサンプリングする容量を有するカラム回路等を第１チップ２１内から省略することができるので、撮像部２０の小型化を実現することができる。

10

【００７９】

さらに、本発明の実施の形態１によれば、複数対の第１の転送線２３７および第２の転送線２３９によって形成される容量が互いに略等しいので、第３の転送線２４６の寄生容量との容量分割による列毎のゲインばらつきが抑制される。この結果、縦傷等の固定パターンノイズによる画質劣化無しに、第１チップ２１の周辺回路の面積比率を低下させることができる。

【００８０】

（実施の形態１の変形例）

20

次に、本発明の実施の形態１の変形例について説明する。本実施の形態１の変形例は、第１チップの構成が異なる。具体的には、本実施の形態１の変形例は、上述した第２の転送線２３９と出力スイッチ２４３との間に、バッファ部を設け、第２の転送線２３９から転送された撮像信号を増幅して第３の転送線２４６に出力する。以下においては、本実施の形態１の変形例に係る撮像部の第１チップの構成について説明する。なお、上述した実施の形態１に係る内視鏡システム１と同一の構成には同一の符号を付して説明を省略する。

【００８１】

〔撮像部の詳細な構成〕

図７は、本実施の形態１の変形例に係る撮像部の詳細な構成を示すブロック図である。図７に示すように、撮像部２０ａは、第１チップ２１ａと、第２チップ２２と、を有する。

30

【００８２】

図７に示すように、第１チップ２１ａは、上述した実施の形態１に係る第１チップ２１の構成に加えて、バッファ部２４８と、バッファ部２４８から増幅された信号を出力させる定電流源２４５と、を有する。バッファ部２４８は、第２の転送線２３９から転送された撮像信号を増幅して第３の転送線２４６へ出力する。バッファ部２４８は、一端側が電源電圧 V_{DD} に接続され、他端側が出力スイッチ２４３に接続され、ゲートには第２の転送線２３９が接続される。

【００８３】

40

以上説明した本発明の実施の形態１の変形例によれば、バッファ部２４８を第２の転送線２３９と出力スイッチ２４３との間に設けたので、第２の転送線２３９から転送される撮像信号のノイズ耐性を向上させることができるとともに、 S/N 比を向上させることができる。

【００８４】

（実施の形態２）

次に、本発明の実施の形態２について説明する。本実施の形態２は、上述した実施の形態１に係る撮像部２０の構成に加えて、カラムＡＤ変換部をさらに備える。以下においては、本実施の形態２に係る撮像部について説明する。なお、上述した実施の形態１に係る内視鏡システム１と同一の構成には同一の符号を付して説明を省略する。

50

【 0 0 8 5 】

〔 撮像部の詳細な構成 〕

図 8 は、本実施の形態 2 に係る撮像部の詳細な構成を示すブロック図である。図 8 に示す撮像部 2 0 b は、上述した実施の形態 1 に係る第 1 チップ 2 1 に換えて、第 1 チップ 2 1 b を備える。また、第 1 チップ 2 1 b の読み出し部は、上述した実施の形態 1 に係る出力スイッチ 2 4 3 に換えて、カラム A D 変換部 3 0 0 を備える。カラム A D 変換部 3 0 0 は、第 2 の転送線 2 3 9 から転送されたアナログの撮像信号をデジタルの撮像信号に変換して第 3 の転送線 2 4 6 へ出力する。

【 0 0 8 6 】

カラム A D 変換部 3 0 0 は、スロープ波形発生部 3 0 1 と、比較器 3 0 2 と、カウンタ 3 0 3 と、データ保持部 3 0 4 と、を有する。なお、比較器 3 0 2 とカウンタ 3 0 3 に換えて、ラッチ回路を用いてカラム A D 変換部 3 0 0 を構成してもよい。

【 0 0 8 7 】

スロープ波形発生部 3 0 1 は、スロープ波形を発生させ、この発生させたスロープ波形を比較器 3 0 2 へ供給する。

【 0 0 8 8 】

比較器 3 0 2 は、第 2 の転送線 2 3 9 から供給される撮像信号とスロープ波形発生部 3 0 1 から供給されるスロープ波形とを比較し、この結果をカウンタ 3 0 3 へ出力する。

【 0 0 8 9 】

データ保持部 3 0 4 は、カウンタ 3 0 3 のデータを保持し、水平走査部 2 4 4 から供給される列選択パルス $\phi H < N >$ が入力された場合、保持したデータを第 3 の転送線 2 4 6 へ出力する。

【 0 0 9 0 】

以上説明した本発明の実施の形態 2 によれば、タイミング生成部 2 5 が単位画素 2 3 0 に撮像信号を出力させたまま、カラム A D 変換部 3 0 0 を動作させて、デジタルに変換した撮像信号を送信部 2 7 に出力させる。これにより、伝送ケーブル 3 で重畳するノイズに対する耐性を向上させることができると共に、S / N 比を向上させることができる。

【 0 0 9 1 】

(実施の形態 3)

次に、本発明の実施の形態 3 について説明する。本実施の形態 3 は、上述した実施の形態 1 に係る撮像部 2 0 と構成が異なる。具体的には、本実施の形態 3 は、読み出し部の後段部分を第 2 チップ側に形成してなる。なお、上述した実施の形態 1 に係る内視鏡システム 1 と同一の構成には同一の符号を付して説明を省略する。

【 0 0 9 2 】

〔 撮像部の構成 〕

図 9 は、本発明の実施の形態 3 に係る内視鏡システムの要部の機能を示すブロック図である。図 9 に示す内視鏡システム 1 c は、上述した実施の形態 1 に係る内視鏡 2 に換えて、内視鏡 2 c を備える。内視鏡 2 c は、上述した実施の形態 1 に係る内視鏡 2 の撮像部 2 0 に換えて、撮像部 2 0 c を備える。撮像部 2 0 c は、第 1 チップ 2 1 c と、第 2 チップ 2 2 c と、を有する。

【 0 0 9 3 】

第 1 チップ 2 1 c は、二次元マトリクス状に配置されてなり、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の単位画素 2 3 0 が配置されてなる受光部 2 3 を有する。なお、第 1 チップ 2 1 c の詳細は、後述する。

【 0 0 9 4 】

第 2 チップ 2 2 c は、受光部 2 3 における複数の単位画素 2 3 0 の各々で光電変換された撮像信号を読み出す読み出し部 2 4 と、コネクタ部 5 から入力される基準クロック信号および同期信号に基づきタイミング信号を生成して読み出し部 2 4 に出力するタイミング生成部 2 5 と、読み出し部 2 4 から出力される撮像信号を増幅して伝送ケーブル 3 へ出力する送信部 2 7 と、を有する。なお、第 2 チップ 2 2 c の詳細は、後述する。

【 0 0 9 5 】

〔 撮像部の詳細な構成 〕

次に、上述した撮像部 2 0 c における第 1 チップ 2 1 c および第 2 チップ 2 2 c の詳細な構成について説明する。図 1 0 は、図 9 に示す撮像部 2 0 c の詳細な構成を示すブロック図である。

【 0 0 9 6 】

〔 第 1 チップの詳細な構成 〕

まず、第 1 チップ 2 1 c の詳細な構成について説明する。

図 1 0 に示すように、第 1 チップ 2 1 c は、二次元マトリクス状に配置される複数の単位画素 2 3 0 と、複数の第 1 の転送線 2 3 7 と、複数の第 1 の転送線 2 3 7 の各々に設けられた定電流源 2 3 8 と、を有する。

10

【 0 0 9 7 】

〔 第 2 チップの詳細な構成 〕

次に、第 2 チップ 2 2 c の詳細な構成について説明する。

図 1 0 に示すように、第 2 チップ 2 2 c は、複数の第 2 の転送線 2 3 9 と、垂直走査部 2 4 1 と、各单位画素 2 3 0 から撮像信号を読み出す読み出し部 2 4 と、タイミング生成部 2 5 と、送信部 2 7 と、を有する。

【 0 0 9 8 】

このように構成された撮像部 2 0 c は、タイミング生成部 2 5 が単位画素 2 3 0 に撮像信号を出力させたまま読み出し部 2 4 を動作させる。

20

【 0 0 9 9 】

〔 撮像部の構造 〕

次に、撮像部 2 0 c の構造について説明する。図 1 1 は、撮像部 2 0 c の断面構造を示す図である。

【 0 1 0 0 】

図 1 1 に示すように、第 1 チップ 2 1 c は、シリコン基板 2 3 1 a (受光部) における前面側 (光の入射方向) に、オンチップカラーフィルタ 2 3 1 b およびオンチップマイクロレンズ 2 3 1 c の順で積層されてなる。また、第 1 チップ 2 1 c は、シリコン基板 2 3 1 a における裏面側に、相関絶縁膜 4 0 0 および第 1 の転送線 2 3 7 の順に積層されてなる。さらに、第 1 の転送線 2 3 7 は相関絶縁膜 4 0 0 を介して、シリコン基板 2 3 1 a に形成された画素出力スイッチ 2 3 6 のソース領域とメタル配線 4 0 1、ビアホール 4 0 2 等によって接続される。さらに、第 1 の転送線 2 3 7 の裏面に、誘電体 5 0 0 が積層されてなる。

30

【 0 1 0 1 】

第 2 チップ 2 2 c は、読み出し部 2 4 が形成されたシリコン基板 2 4 0 における前面側 (光の入射方向) に、相関絶縁膜 2 3 1 e および第 2 の転送線 2 3 9 の順で積層されてなる。

【 0 1 0 2 】

さらに、撮像部 2 0 c は、第 1 チップ 2 1 c の裏面に形成されてなる第 1 の転送線 2 3 7 を第 1 の電極とし、この第 1 の転送線 2 3 7 と向かい合う位置に、誘電体 5 0 0 を介して第 2 の電極としての第 2 の転送線 2 3 9 を配置して積層してなる。さらに、対をなす第 1 の転送線 2 3 7 および第 2 の転送線 2 3 9 は、第 1 チップ 2 1 c および第 2 チップ 2 2 c の積層方向に沿って平行に配置してなる。これにより、撮像部 2 0 c は、第 1 チップ 2 1 c 内に別途カラム容量を設けることなく、複数の第 1 の転送線 2 3 7 それぞれに対応する複数の第 2 の転送線 2 3 9 が対をなして容量 C 1 0 (カラム容量) を形成することができる。

40

【 0 1 0 3 】

また、撮像部 2 0 c は、第 2 チップ 2 2 c のシリコン基板 2 4 0 の前面側 (光の入射方向) にタイミング生成部 2 5、読み出し部 2 4 (例えば図 3 の垂直走査部 2 4 1、クランプ部 2 4 2、出力スイッチ 2 4 3、水平走査部 2 4 4、第 3 の転送線 2 4 6、水平リセッ

50

ト部 2 4 7 および出力部 3 1) および第 2 の転送線 2 3 9、を形成してなる。これにより、チップ積層時にシリコン基板 2 4 0 のアクティブ領域を消費する T S V (スルーシリコンビア) でなく、キャパシタで行い、かつ容量 C 1 0 (キャパシタ) を第 1 チップ 2 1 c と積層させることによって、面積効率を向上させることができるので、さらなる撮像部 2 0 c の小型化を図ることができる。

【 0 1 0 4 】

以上説明した本発明の実施の形態 3 によれば、第 1 チップ 2 1 c の裏面に形成されてなる第 1 の転送線 2 3 7 を第 1 の電極とし、第 1 の転送線 2 3 7 と向かい合う位置に、誘電体 5 0 0 を介して第 2 の電極としての第 2 の転送線 2 3 9 を配置して積層し、複数の第 1 の転送線 2 3 7 それぞれに対応する複数の第 2 の転送線 2 3 9 が対をなして容量 C 1 0 (カラム容量) を形成することによって、受光部 2 3 を有する第 1 チップ 2 1 c からカラム回路面積およびカラム T S V 面積を完全に削除することができ、さらなる撮像部 2 0 c の小型化を図ることができる。

【 0 1 0 5 】

(実施の形態 3 の変形例)

次に、本発明の実施の形態 3 の変形例について説明する。本実施の形態 3 の変形例は、第 1 チップの構成が異なる。具体的には、本実施の形態 3 の変形例は、上述した垂直走査部を第 1 チップに配置してなる。以下においては、本実施の形態 3 の変形例に係る撮像部の第 1 チップの構成について説明する。なお、上述した実施の形態 3 と同一の構成には同一の符号を付して説明を省略する。

【 0 1 0 6 】

図 1 2 は、本実施の形態 3 の変形例に係る撮像部の詳細な構成を示すブロック図である。図 1 2 に示す撮像部 2 0 d は、第 1 チップ 2 1 d と、第 2 チップ 2 2 d と、を備える。

【 0 1 0 7 】

〔第 1 チップの詳細な構成〕

まず、第 1 チップ 2 1 d の詳細な構成について説明する。

図 1 2 に示すように、第 1 チップ 2 1 d は、上述した実施の形態 3 の第 1 チップ 2 1 c の構成に加えて、垂直走査部 2 4 1 をさらに有する。

【 0 1 0 8 】

〔第 2 チップの詳細な構成〕

次に、第 2 チップ 2 2 d の詳細な構成について説明する。

図 1 2 に示すように、第 2 チップ 2 2 d は、上述した実施の形態 3 の第 2 チップ 2 2 c の構成から垂直走査部 2 4 1 を削除した。

【 0 1 0 9 】

以上説明した本発明の実施の形態 3 の変形例によれば、上述した実施の形態 3 に比して画素駆動用配線を行毎に配置する必要がなくなり、アクティブ領域を消費する T S V の数が減るため、さらなる小型化を図ることができる。

【 0 1 1 0 】

(その他の実施の形態)

また、本実施の形態では、被検体に挿入される内視鏡であったが、例えばカプセル型の内視鏡または被検体を撮像する撮像装置であっても適用することができる。特に、画素数が少ない撮像素子を用いる機器に適用することができる。

【 0 1 1 1 】

なお、本明細書におけるタイミングチャートの説明では、「まず」、「その後」、「続いて」等の表現を用いて各処理の前後関係を明示していたが、本発明を実施するために必要な処理の順序は、それらの表現によって一意的に定められるわけではない。即ち、本明細書で記載したタイミングチャートにおける処理の順序は、矛盾のない範囲で変更することができる。

【 0 1 1 2 】

このように、本発明は、ここでは記載していない様々な実施の形態を含みうるものであ

10

20

30

40

50

り、請求の範囲によって特定される技術的思想の範囲内で種々の設計変更等を行うことが可能である。

【符号の説明】

【0113】

1, 1c	内視鏡システム	
2, 2c	内視鏡	
3	伝送ケーブル	
4	操作部	
5	コネクタ部	
6	プロセッサ	10
7	表示装置	
8	光源装置	
20, 20a, 20b, 20c, 20d	撮像部	
21, 21a, 21b, 21c, 21d	第1チップ	
22, 22c, 22d	第2チップ	
23	受光部	
24	読み出し部	
25	タイミング生成部	
27	送信部	
31	出力部	20
51	受信部	
52	A/D変換部	
53	撮像信号処理部	
54	パルス生成部	
55	電源電圧生成部	
61	電源部	
62	画像信号処理部	
63	クロック生成部	
64	記録部	
65	入力部	30
66	プロセッサ制御部	
100	挿入部	
101	先端	
102	基端	
211	光電変換領域部	
212	信号転送領域部	
230	単位画素	
231	光電変換素子	
231a, 240	シリコン基板	
231b	オンチップカラーフィルタ	40
231c	オンチップマイクロレンズ	
231d, 231e, 400	相関絶縁膜	
231f	コンタクトホール	
231g	パッシベーション膜	
232	転送トランジスタ	
233	電荷電圧変換部	
234	電荷電圧変換部リセット部	
235	画素ソースフォロアトランジスタ	
236	画素出力スイッチ	
237	第1の転送線	50

2 3 8 , 2 4 5 定電流源
2 3 9 第 2 の転送線
2 4 1 垂直走査部
2 4 1 a 画素駆動配線
2 4 2 クランプ部
2 4 3 出力スイッチ
2 4 4 水平走査部
2 4 6 第 3 の転送線
2 4 7 水平リセット部
2 4 8 バッファ部
3 0 0 カラム A D 変換部
3 0 1 スロープ波形発生部
3 0 2 比較器
3 0 3 カウンタ
3 0 4 データ保持部
4 0 1 メタル配線
4 0 2 ビアホール
5 0 0 誘電膜
C 1 , C 1 0 容量

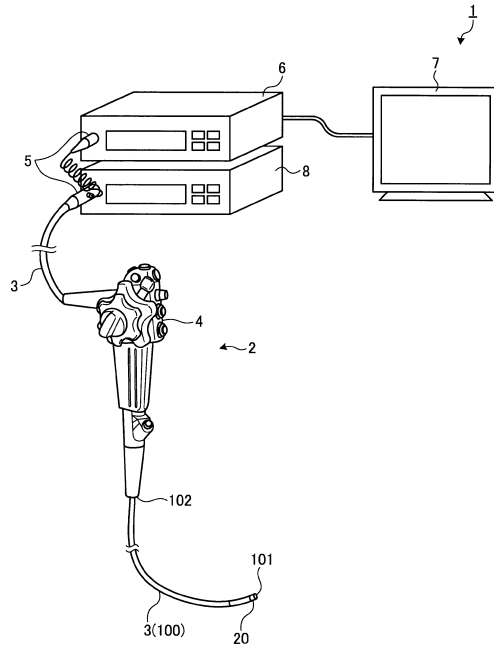
10

【要約】

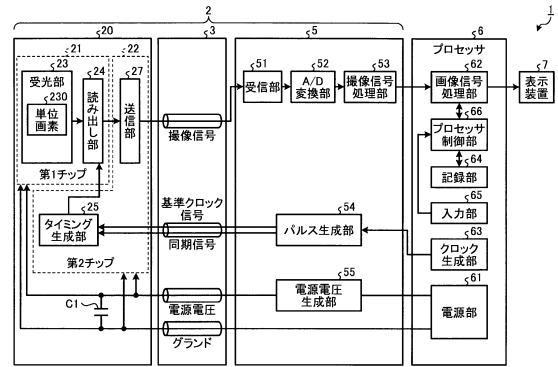
20

さらなる小型化を実現することができる撮像素子、内視鏡および内視鏡システムを提供する。撮像素子は、複数の単位画素 2 3 0 と、撮像信号をそれぞれ転送する複数の第 1 の転送線 2 3 7 と、複数の第 1 の転送線 2 3 7 それぞれに設けられ、単位画素 2 3 0 から撮像信号を第 1 の転送線 2 3 7 に出力させる定電流源 2 3 8 と、各々が複数の第 1 の転送線 2 3 7 のいずれかと対をなして容量を形成し、第 1 の転送線 2 3 7 が出力する撮像信号をそれぞれ転送する複数の第 2 の転送線 2 3 9 と、複数の第 2 の転送線 2 3 9 が転送する撮像信号を読み出す垂直走査部 2 4 1 と水平走査部 2 4 4 と、単位画素 2 3 0 に撮像信号を出力させたまま垂直走査部 2 4 1 と水平走査部 2 4 4 を動作させるタイミング生成部 2 5 と、を備える。

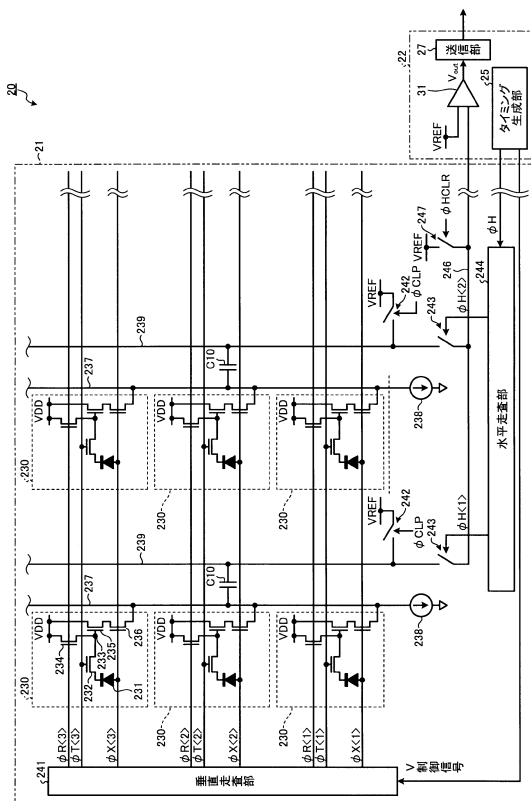
【図 1】



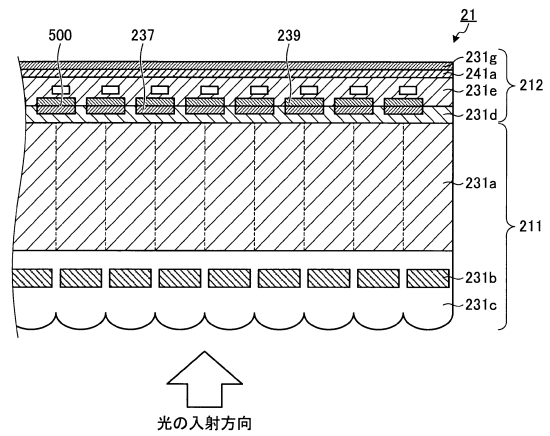
【図 2】



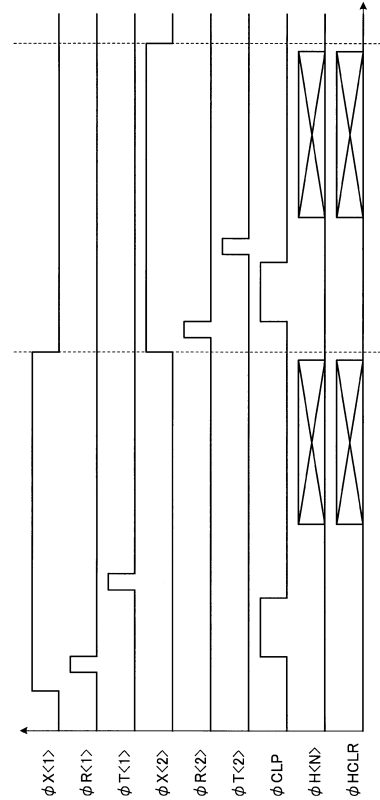
【図 3】



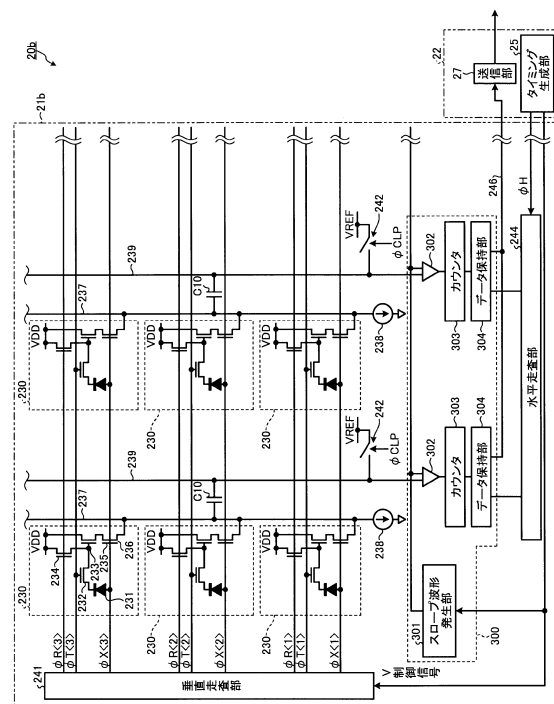
【図 4】



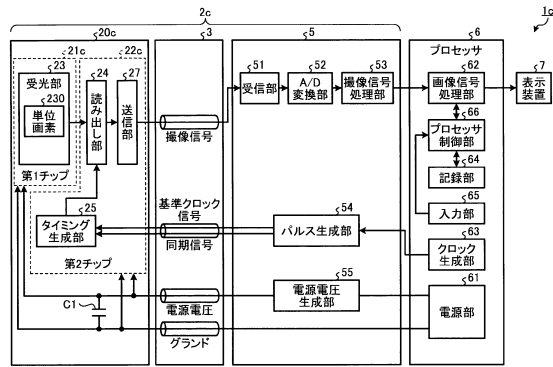
【 図 6 】



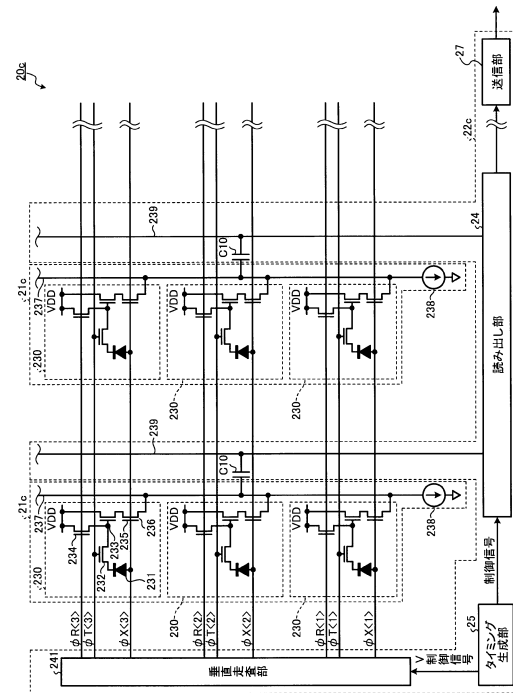
【圖 8】



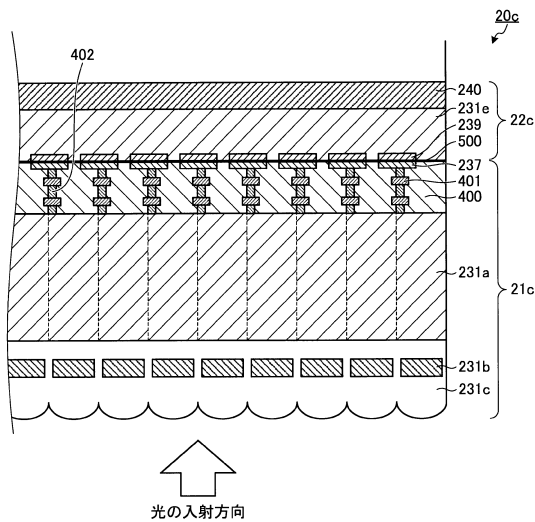
【図 9】



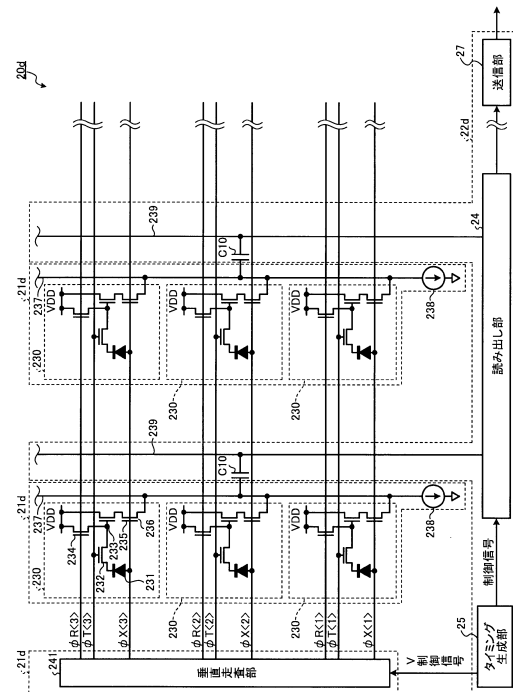
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 7/18 M

(56)参考文献 国際公開第 2 0 1 3 / 1 5 7 4 2 3 (W O , A 1)
特開 2 0 1 2 - 1 9 1 6 6 (J P , A)
特開 2 0 1 3 - 9 8 8 5 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 4 N 5 / 3 0 - 5 / 3 7 8
H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8
A 6 1 B 1 / 0 4
G 0 2 B 2 3 / 2 4
H 0 4 N 7 / 1 8

专利名称(译)	成像设备，内窥镜和内窥镜系统		
公开(公告)号	JP6180691B1	公开(公告)日	2017-08-16
申请号	JP2017518562	申请日	2016-09-15
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
当前申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	足立理		
发明人	足立 理		
IPC分类号	H04N5/378 A61B1/04 G02B23/24 H01L27/146 H04N7/18		
CPC分类号	A61B1/00006 A61B1/00009 A61B1/041 A61B1/045 A61B1/051 A61B1/0669 G02B23/2484 H01L27/14634 H01L27/1464 H04N5/378 H04N2005/2255 H04N7/18 A61B1/00096 A61B1/042 A61B1/05 G02B23/2446 G02B23/2461		
FI分类号	H04N5/378 A61B1/04.530 G02B23/24.B H01L27/146.A H01L27/146.D H04N7/18.M		
审查员(译)	鈴木 明		
优先权	2015233554 2015-11-30 JP		
其他公开文献	JPWO2017094322A1		
外部链接	Espacenet		

摘要(译)

(ZH) 提供可以实现进一步的小型化的图像拾取装置，内窥镜和内窥镜系统。图像拾取装置设置在多个单位像素230的每一个，传送图像拾取信号的多条第一传送线237的每条，以及多条第一传送线237的每条上。多个恒定电流源238将被输出到传输线237，并且多个均与多个第一传输线237中的一个成对，以形成电容并传输从第一传输线237输出的图像拾取信号。在第二传输线239中，用于读取由多个第二传输线239传输的图像拾取信号的垂直扫描单元241和水平扫描单元244以及垂直扫描单元241，同时单位像素230输出图像拾取信号。以及定时产生部分25，用于操作水平扫描部分244。

(19) 日本国特許庁(JP)		(12) 特 許 公 報(B1)		(11) 特許番号 特許第6180691号 (P6180691)	
(45) 発行日 平成29年8月16日(2017. 8. 16)		(24) 登録日 平成29年7月28日(2017. 7. 28)			
(51) Int. Cl.		F I			
H04 N 5/378 (2011.01)		H04 N 5/378			
A61 B 1/04 (2006.01)		A61 B 1/04		530	
G02 B 23/24 (2006.01)		G02 B 23/24		B	
H01 L 27/146 (2006.01)		H01 L 27/146		A	
H04 N 7/18 (2006.01)		H01 L 27/146		D	
請求項の数 5 (全 20 頁) 最終頁に続く					
(21) 出願番号 特願2017-518562 (P2017-518562)		(73) 特許権者 000000376			
(86) (22) 出願日 平成28年9月15日(2016. 9. 15)		オリンパス株式会社			
(86) 国際出願番号 PCT/JP2016/077293		東京都八王子市石川町2951番地			
(86) 審査請求日 平成29年4月6日(2017. 4. 6)		110002147			
(31) 優先権主張番号 特願2015-233554 (P2015-233554)		(74) 代理人 特許業務法人濤井国際特許事務所			
(32) 優先日 平成27年11月30日(2015.11.30)		足立 理			
(33) 優先権主張国 日本国 (JP)		(72) 発明者 東京都八王子市石川町2951番地 オリ ンパス株式会社内			
早期審査対象出願		審査官 鈴木 明			
最終頁に続く					
(54) 【発明の名称】 撮像素子、内視鏡および内視鏡システム					